

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam. & Legal Stat

(c) 2004 EPO. All rts. reserv.

17051229

Basic Patent (No,Kind,Date): JP 2001085698 A2 20010330 <No. of Patents:
001>

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): NAKAJIMA MADOKA; MUKAI NOBUO

IPC: *H01L-029/786; H01L-021/336; G02F-001/1365; H01L-021/28

CA Abstract No: 134(18)259305D

Derwent WPI Acc No: C 01-348631

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
JP 2001085698	A2	20010330	JP 99262073	A	19990916 (BASIC)

Priority Data (No,Kind,Date):

JP 99262073 A 19990916

DIALOG(R)File 347:JAP10

(c) 2004 JPO & JAP10. All rts. reserv.

06858196 **Image available**

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

PUB. NO.: 2001-085698 [JP 2001085698 A]

PUBLISHED: March 30, 2001 (20010330)

INVENTOR(s): NAKAJIMA MADOKA

MUKAI NOBUO

APPLICANT(s): TOSHIBA CORP

APPL. NO.: 11-262073 [JP 99262073]

FILED: September 16, 1999 (19990916)

INTL CLASS: H01L-029/786; H01L-021/336; G02F-001/1365; H01L-021/28;
H01L-021/306

ABSTRACT

PROBLEM TO BE SOLVED: To prevent the formation of a step cut and to sufficiently prevent the generation of a defect caused by the step cut in the case of a thin-film transistor or other semiconductor devices in which multilayer films are patterned collectively by using one mask pattern.

SOLUTION: A three-layer metal film 5 (composed of an Mo layer, an Al layer and an Mo layer) and a three-layer nonmetal film 6 (composed of an n+ a-Si:H layer, an a-Si:H layer and a silicon nitride film) are patterned collectively under the same resist pattern by a wet etching operation which uses a mixed acid and by a plasma etching operation which uses a mixed gas of SF₆ and HCl. When the three-layer metal film 5 is deposited, the bottom Mo layer whose etch rate is large is formed as a thin layer in about 10 nm or lower. In addition, in the plasma etching operation in which the three-layer nonmetal layer 6 is etched, the ratio of the flow rate of SF₆ to that of HCl is kept within a range of 0.11 to 0.25, and the undercut of the n+ a-Si:H layer is suppressed.

COPYRIGHT: (C)2001, JPO

(51) Int. Cl.	識別記号	F I	テーマコード	(参考)
H01L 29/786		H01L 29/78	616	K 2H092
21/336		21/28		E 4M104
G02F 1/1365		G02F 1/136	500	5F043
H01L 21/28		H01L 21/306		F 5F110
21/306		29/78	616	U

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21)出願番号 特願平11-262073

(22)出願日 平成11年9月16日(1999.9.16)

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地(72)発明者 中島 まどか
兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路工場内
(72)発明者 向井 信夫
兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路工場内(74)代理人 100059225
弁理士 菊田 章子 (外1名)

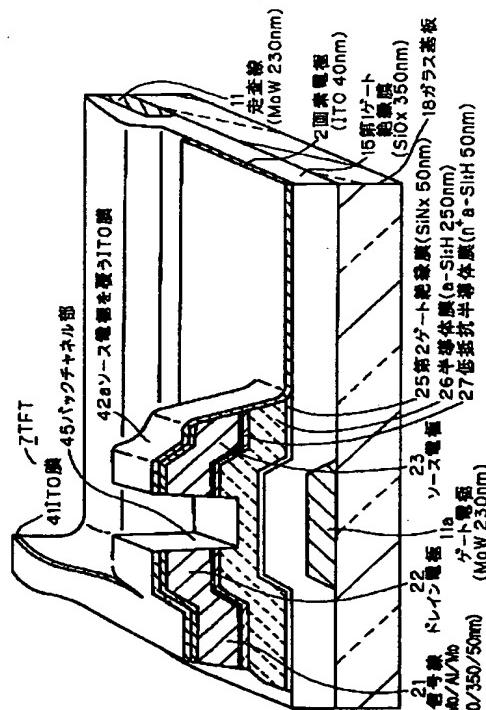
最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【課題】 一つのマスクパターンを用いて、多層膜を一括してパターニングする工程を含む、薄膜トランジスタその他の半導体装置の製造方法において、段切れの形成、及びこれに起因する不良の発生を充分に防止することができるものを提供する。

【解決手段】三層金属膜5(Mo/AI/Mo)、及び、三層非金属膜6(n⁺-a-Si:H層、a-Si:H層及び窒化シリコン膜)を、同一のレジストパターン下で、それぞれ湿酸を用いるウェットエッチング、及び、SF₆とHC1との混合ガスを用いたプラズマエッチングにより一括してパターニングする。三層金属膜5を堆積する際、エッチング速度の大きいボトムのMo層を約10nmまたはそれ以下の薄層としておく。また、三層非金属膜6をエッチングするプラズマエッチングの際、SF₆/HC1の流量比を0.11~0.25の範囲内に保つことにより、n⁺-a-Si:H層のアンダーカットを抑える。



【特許請求の範囲】

【請求項1】金属多層膜をウェットエッティングによりパターニングするウェットエッティング工程と、この工程により得られた金属多層膜パターンの端面をまたぐ領域に、該端面近傍を直接被覆する、導電性または絶縁保護性の被覆膜を形成する工程と、前記ウェットエッティング工程に先立ち、第1の金属層、及び、前記ウェットエッティングを受ける速度が前記第1の金属層よりも小さい第2の金属層をこの順に堆積させ、これら第1及び第2の金属層を含む前記金属多層膜を形成する工程とを含む、薄膜トランジスタ等の半導体装置の製造方法において、前記第1の金属層の厚さが、前記被覆膜の厚さの1/2以下であることを特徴とする半導体装置の製造方法。

【請求項2】前記第1の金属層が高融点金属層であり、前記第2の金属層が金属アルミニウム(A1)層であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記第1の金属層の厚さが2~15nmであり、前記被覆膜が厚さ20~60nmの透明導電膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】前記ウェットエッティング工程は、エッティング液を基板に吹き付けるシャワー方式にて行われ、オーバーエッティングの時間が、ジャストエッティングまでのエッティング時間の50~150%であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】前記金属多層膜を形成する工程に先立ち、不純物を含む第1非単結晶シリコン層、及び第2非単結晶シリコン層を含む非金属多層膜を堆積する工程と、前記ウェットエッティング工程に引き続き、この工程で用いたレジストパターンの下で、六フッ化硫黄(SF₆)及び塩化水素(HCl)の混合ガスを用いるプラズマエッティングにより前記非金属多層膜をパターニングするドライエッティング工程とを含み、

前記被覆膜が、前記金属多層膜及び前記非金属多層膜からなるパターンの端面を直接被覆するものであり、前記プラズマエッティングにおける、SF₆ガスに対するHClガスの混合体積比が0.11~0.25であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項6】不純物を含む第1非単結晶シリコン層及びその下方の第2非単結晶シリコン層を含む非金属多層膜を堆積する工程と、

この非金属多層膜を覆う、金属膜を堆積する工程と、前記金属膜をウェットエッティングによりパターニングするウェットエッティング工程と、

前記ウェットエッティング工程に引き続き、この工程で用いたレジストパターンの下で、六フッ化硫黄(SF₆)及び塩化水素(HCl)の混合ガスを用いるプラズマエッティングにより前記非金属多層膜をパターニングするド

ライエッティング工程と、

前記金属膜及び前記非金属多層膜からなるパターンの端面をまたぐ領域に、該端面近傍を直接被覆する、導電性または絶縁保護性の被覆膜を形成する工程とを含み、前記プラズマエッティングにおける、SF₆ガスに対するHClガスの混合体積比が0.11~0.25であることを特徴とする半導体装置の製造方法。

【請求項7】前記ドライエッティング工程におけるオーバーエッティングの時間が、ジャストエッティングまでのエッティング時間の約10%であることを特徴とする請求項5または6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリックス型液晶表示装置のスイッチング素子等として用いられる半導体装置の製造方法に関する。特には、アレイ基板上に薄膜トランジスタ(TFT)を製造する方法に関する。

【0002】

【従来の技術】近年、CRTディスプレイに代わる表示装置として、平面型の表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から注目を集めている。特には、各画素電極にスイッチ素子が電気的に接続されて成るアクティブマトリックス型液晶表示装置は、隣接画素間でクロストークのない良好な表示画像を実現できることから、液晶表示装置の主流となっている。

【0003】しかし、液晶表示装置の製造コストは、未だCRTディスプレイに比べてかなり高く、このことが液晶表示装置をさらに普及させていく上での大きな課題となっている。

【0004】液晶表示装置の製造コストにおいてアレイ基板の製造コストの割合が高く、特には、アレイ基板上に、スイッチ素子であるTFTを製造するための工程のコストが大きな部分を占める。そのため、TFTの製造工程を簡略化しコスト低減を図ることが重要となる。

【0005】そこで、TFTの製造を、より少ない数のパターニングにより、すなわち、より少ない数のフォトマスクにより行うことで製造プロセスを短縮し製造コストを削減しようとする試みが行われている。このように、TFTを構成するのに必要なパターンを少ない数のパターニングによって製造するためには、複数の相異なる材料から成る多層膜を、一つのフォトマスクを用いて一括してパターニングすることが必要となる。

【0006】

【発明が解決しようとする課題】しかし、多層膜を同一のエッティングによりパターニングする際、下方の膜のエッティング速度がこれに接する上方の膜のエッティング速度より大きいといった場合には、得られるパターンの端面に凹部やオーバーハングが生じてしまうことがある。下

方の膜のサイドエッティングが上方の膜のそれより大きいために、レジストパターンの端縁から内側に引き込まれる寸法が、上方の膜よりも大きいことが原因である。

【0007】このように、得られる多層膜のパターンの端面に凹部やオーバーハングといった被覆膜による被覆が難しい部分が形成されると、この部分で被覆膜に亀裂が走る、いわゆる「段切れ」という問題が生じる。被覆膜が導電膜である場合には、段切れの個所で電気的な接続が不良となる。

【0008】「段切れ」の形成を、図6に示す例により、さらに説明する。

【0009】図6の例では、多層膜が、三層金属膜5(Mo/Al/Mo)と、三層非金属膜6(上からn⁺a-Si:H層、a-Si:H層及び窒化シリコン膜)とからなり、三層金属膜のボトムのMo層51の個所、及び、三層非金属膜6のトップのn⁺a-Si:H層61の個所で、パターンの端面に凹部8を生じている。そして、この凹部8の個所で、導電性被覆膜42aが不連続となり、ソース電極23と、画素電極42との導通が不良となっている。

【0010】本発明は、上記問題点に鑑みなされたものであり、一つのフォトマスクを用いて、多層膜を一括してパターニングする工程を含む、薄膜トランジスタの製造方法において、段切れの形成、及びこれに起因する不良の発生を充分に防止することができるものを提供する。

【0011】

【課題を解決するための手段】請求項1の発明は、金属多層膜をウェットエッティングによりパターニングするウェットエッティング工程と、この工程により得られた金属多層膜パターンの端面をまたぐ領域に、該端面近傍を直接被覆する、導電性または絶縁保護性の被覆膜を形成する工程と、前記ウェットエッティング工程に先立ち、第1の金属層、及び、前記ウェットエッティングを受ける速度が前記第1の金属層よりも小さい第2の金属層をこの順に堆積させ、これら第1及び第2の金属層を含む前記金属多層膜を形成する工程とを含む、薄膜トランジスタ等の半導体装置の製造方法において、前記第1の金属層の厚さが、前記被覆膜の厚さの1/2以下であることを特徴とする。

【0012】上記構成によると、多層金属膜からなるパターンの端面上における被覆膜の段切れを防止することができる。

【0013】請求項5の発明は、前記金属多層膜を形成する工程に先立ち、不純物を含む第1非単結晶シリコン層、及び第2非単結晶シリコン層を含む非金属多層膜を堆積する工程と、前記ウェットエッティング工程に引き続き、この工程で用いたレジストパターンの下で、六フッ化硫黄(SF₆)及び塩化水素(HCl)の混合ガスを用いるプラズマエッティングにより前記非金属多層膜をパ

ターニングするドライエッティング工程とを含み、前記被覆膜が、前記金属多層膜及び前記非金属多層膜からなるパターンの端面を直接被覆するものであり、前記プラズマエッティングにおける、SF₆ガスに対するHClガスの混合体積比が0.11～0.25であることを特徴とする。

【0014】上記構成によると、リンドープアモルファシリコン層等の、不純物を含む第1非単結晶シリコン層を含む非金属多層膜と、これを覆う多層金属膜とからなるパターンの端面上における被覆膜の段切れを防止することができる。

【0015】請求項6の発明は、不純物を含む第1非単結晶シリコン層及びその下方の第2非単結晶シリコン層を含む非金属多層膜を堆積する工程と、この非金属多層膜を覆う、金属膜を堆積する工程と、前記金属膜をウェットエッティングによりパターニングするウェットエッティング工程と、前記ウェットエッティング工程に引き続き、この工程で用いたレジストパターンの下で、六フッ化硫黄(SF₆)及び塩化水素(HCl)の混合ガスを用いるプラズマエッティングにより前記非金属多層膜をパターニングするドライエッティング工程と、前記金属膜及び前記非金属多層膜からなるパターンの端面をまたぐ領域に、該端面近傍を直接被覆する、導電性または絶縁保護性の被覆膜を形成する工程とを含み、前記プラズマエッティングにおける、SF₆ガスに対するHClガスの混合体積比が0.11～0.25であることを特徴とする。

【0016】上記構成によると、リンドープアモルファシリコン層等の、不純物を含む第1非単結晶シリコン層を含む非金属多層膜と、これを覆う金属膜とからなるパターンの端面上における被覆膜の段切れを防止することができる。

【0017】

【発明の実施の形態】まず、実施例の製造方法により得られる薄膜トランジスタ(TFT)及びこれを含む表示装置用アレイ基板について、図1～2を用いて概略を説明する。

【0018】図1は、TFT形成部及びその付近の構成を模式的に示す断面斜視図である。図2は、TFTを含む、アレイ基板上の各画素の構成を模式的に示す平面図である。

【0019】アレイ基板10には、複数の信号線21と複数の走査線11とが互いに直交するように配列される。走査線11及びゲート電極11aを含む下層の金属配線パターンは、例えばモリブデンシーティングスチール(Mo-W)により形成され、全体が第1ゲート絶縁膜15により覆われる。

【0020】信号線21と走査線11とにより区画される画素開口ごとにおいて、信号線21と走査線11との交差部近傍に、スイッチング素子としてのTFT7が配置される。TFT7は、図1に示すように、逆スタガ・

バックチャネル型である。すなわち、ガラス基板18上のゲート電極11aの上方に、ゲート絶縁膜15, 25及び半導体膜26を介して、谷溝状のバックチャネル部45が位置し、このバックチャネル部45を挟んで、ソース電極23及びドレイン電極22が配置される。ここで、チャネル保護膜は設けられず、半導体膜26が直接、バックチャネル部45に露出している。

【0021】より詳しく述べると、走査線11の延在部がTFT7のゲート電極11aをなしており、このゲート電極11aを覆う個所に、第1及び第2ゲート絶縁膜15, 25を介して、アモルファスシリコン(a-Si:H)からなる半導体膜26が配置される。この半導体膜26の上には、バックチャネル部45の底面に相当する個所を除き、リンドープアモルファスシリコン(n⁺a-Si:H)からなる低抵抗半導体膜27が積層配置される。さらにこの上には、金属アルミニウム(Al)層を上下の金属モリブデン(Mo)層で挟み込んだ三層金属膜5から成る、ソース電極23及びドレイン電極22が配置される。

【0022】三層金属膜5にあって下方のMo層51(ボトムMo層)は、画素電極42をなすITO(Indium Tin Oxide)膜に比べてかなり薄く形成される。下方のMo層51の厚さは、画素電極42のITO膜の厚さの1/2以下であり、好ましくは1/3以下、より好ましくは1/4以下である。

【0023】画素電極42をなすITO膜の厚さが約40nmである場合、下方のMo層51の厚さは1~15μm、好ましくは1~12μm、より好ましくは2~10μmである。ITO膜の厚さは、典型的には20~60nmであり、このとき、下方のMo層51の厚さは、好ましくは2~15nmである。

【0024】これに対して、A1層52は、信号線21に充分な導電性を付与すべく充分に厚く形成される。A1層52の厚さは、例えば、200~500nmである。

【0025】一方、図中に示されるように、第2ゲート絶縁膜25、半導体膜26、低抵抗半導体膜27、及び、三層金属膜5から成るソース電極23、ドレイン電極22は、バックチャネル部45以外において、輪郭が略一致している。また、ドレイン電極22に連続する信号線21も、ソース電極23及びドレイン電極22と同様、三層金属膜5からなり、下方には輪郭の略一致する、三層の非金属膜61, 62, 63が存在する。これら非金属膜61, 62, 63は、それぞれ、TFTの第2ゲート絶縁膜25、半導体膜26、及び低抵抗半導体膜27をなす膜である。

【0026】すなわち、これら信号線21、ドレイン電極22及びソース電極23は、三層金属膜5と、三層非金属膜6が、一つのレジストパターン(エッチングマスク)の下で、一括してパターニングされて形成される。

【0027】以下に、実施例に係る、三層金属膜5及び三層非金属膜6についてのパターニングについて説明する。

【0028】まず、三層金属膜5のエッチングは、リン酸、酢酸及び硝酸、及び水からなる混酸を用いたウェットエッチングにより行われる。好ましい混酸の組成は、例えば、下記の酸水溶液を下記の範囲で混合したならば、または、さらに適量の水を添加したならば得られるものである。

【0029】

85%リン酸水溶液 71±20容量% (v/v%)

70%硝酸水溶液 1~20容量%

90%酢酸水溶液 5~30容量%

ウェットエッチングは、ボトムMo層のサイドエッチング(アンダーカット)を少なくすべく、シャワー方式により行う。ウェットエッチングにおけるオーバーエッチングの時間は、ジャストエッチングまでの時間を基準として、すなわちほぼレジストパターンに沿った形にまでエッチングされるまでのエッチング時間を基準として、

10 50~150%、好ましくは70~130%、より好ましくは90~110%である。

【0030】三層金属膜5のエッチングに引き続いて、三層非金属膜6のエッチングが、六フッ化硫黄(SF₆)及び塩化水素(HCl)からなる混合ガスを用いてプラズマエッチングにより行われる。

【0031】詳しくは、第2ゲート絶縁膜25をなす窒化シリコン(SiONx)膜61、TFTの半導体膜26をなすアモルファスシリコン(n⁺a-Si:H)層62、及びTFTの低抵抗半導体膜27をなすリンドープアモルファスシリコン(a-Si:H)層63についてのエッチングが、六フッ化硫黄(SF₆)及び塩化水素(HCl)を反応性ガス種とし、ヘリウム(He)を沈着物(デポ)防止用のキャリアガスとしたプラズマエッチングにより行われる。

【0032】SF₆ガスに対するHClガスの流量比、すなわち、ガス混合の体積比は、好ましくは0.11~0.25であり、より好ましくは、0.15~0.21である。反応性ガス種の混合比をこのような範囲に保つことにより、n⁺a-Si:H層62が受けるサイドエッチングと、a-Si:H層63及び窒化シリコン膜61が受けるサイドエッチングとの差を最小限に抑えることができる。すなわち、得られるパターンの端面に、n⁺a-Si:H層62のところでアンダーカットが入り、凹部やオーバーハングが形成されることを充分に防止することができる。

【0033】このプラズマエッチングの際には、エンドポイントモニター(End point Monitor)を使用して約10%のオーバーエッチングを行う。すなわち、レジストパターンの輪郭までエッチングされるジャストエッチングの時間を基準として、約10%だけエッチング時間を伸ばす。これにより、残留した不所望の膜を充分に除去

できるとともに、過度のサイドエッチングが生じるのを防止することができる。

【0034】エンドポイントモニターは反射光量または透過光量の変化を捕らえて、基板の下地（この場合、第1ゲート絶縁膜15）が露出した時点を検出するものである。

【0035】次に、実施例に係る薄膜トランジスタ及びアレイ基板の製造方法についての、より詳細な例について図3～5を用いて説明する。

【0036】(1) 第1のパターニング

ガラス基板18上に、スパッタ法によりモリブデンタングステン合金膜(MoW膜)を230nm堆積させる。そして、第1のマスクパターンを用いるパターニングにより、600本の走査線11、その延在部からなるゲート電極11a、及び、走査線11と略同数の補助容量線12を形成する（図2、及び図5中央部を参照）。同時に、アレイ基板10の接続用周縁部10aに走査線接続パッド11bを形成する（図2、及び図5の右部参照）。

【0037】(2) 第2のパターニング

(2-1) 第1ゲート絶縁膜及び多層膜の堆積

CVD法により、第1ゲート絶縁膜15をなす350nm厚の酸化シリコン膜を堆積し、さらに、第2ゲート絶縁膜25をなす50nm厚の窒化シリコン膜63、TFT7の半導体膜26を作成するための250nm厚のアモルファスシリコン(a-Si:H)層62、及び、低抵抗半導体膜27を作成するための50nm厚のリンドープアモルファスシリコン(n+a-Si:H)層61を、大気に曝すことなく連続して成膜する。

【0038】この後、スパッタ法により、10nm厚のMo層51、350nm厚のAl層52、及び、50nm厚のMo層53からなる三層金属膜5を堆積する。

(2-2) 多層膜のパターニング

そして、第2のマスクパターンを用いて、レジストを露光、現像した後、上記の窒化シリコン膜、a-Si:H層、n+a-Si:H層、及び三層金属膜5を一括してパターニングする。この第2のパターニングにより、800×3本の信号線21と、各信号線21から延在するドレイン電極22と、未だドレイン電極22に連続したままのソース電極23とを作成する（図5の左下部参照）。また、図には示さないが、アレイ基板10の周縁接続領域においては、信号線21から引き出された信号線パッド（信号線21からの引き出し線を含む）が同時に作成される。

【0040】(2-2-a) 第1のエッチング（三層金属膜5に対するエッチング）

まず、三層金属膜5について、硝酸、リン酸、及び酢酸からなる含水混酸によりエッチングを行った（図3）。

【0041】含水混酸としては、85%リン酸水溶液、70%硝酸水溶液、90%酢酸水溶液及び水を、77/50

3/15/5の体積比で混合したものを用いた。また、三層金属膜5のパターニングのためには、基板上にこのようなエッチング液を吹き付ける操作を、二つのエッチング室にてそれぞれ60秒間ずつ、連続して行った。すなわち、シャワー方式によるウェットエッチングを都合120秒間行った。

【0042】(2-2-b) 第2のエッチング（三層非金属膜に対するエッチング）

次に、窒化シリコン膜、a-Si:H層、n+a-Si:H層について、SF₆、HC1、及びHeの混合ガスを用いるプラズマエッチングによりパターニングした（図4）。

【0043】エッチングチャンバーに導入する混合ガスは、流量75SCCMのSF₆、流量425SCCMのHC1、及び流量300SCCMのHeを混合したものである。すなわち、導入ガスの混合体積比は、SF₆/HC1/He=75/425/300、HC1/SF₆=約0.18である。

【0044】プラズマエッチングの際、エッチングチャンバー内の圧力を26.7Pa、高周波入力電力（パワー）を400W、電極間の間隔（ギャップ）を40mmに保った。また、エンドポイントモニターを使用し、ジャストエッチングまでの時間の10%の時間だけオーバーエッチングを行った。

【0045】(3) 第3のパターニング

第3のマスクパターンを用いて、走査線パッド部11bの上面を露出させるスルーホール31を作成する（図5右部参照）。この際、バッファードフッ酸(BHF)を用いるウェットエッチングにより、走査線パッド部11b上の第1ゲート絶縁膜15を除去する。

【0046】(4) 第4のパターニング

スパッタ法により40nm厚のアモルファスのITO層を堆積する。

【0047】第4のマスクパターンを用いるパターニング（図5）により、まず、信号線21及びドレイン電極22の輪郭と略一致する保護ITO膜41と、画素電極42及びその延在部42aとを作成する。画素電極からの延在部42aは、ソース電極23、及びその画素電極側の端面を被覆することにより、ソース電極23と画素電極42との間の導通を行う。

【0048】このパターニングの際、アレイ基板10の周縁接続領域においては、各走査線パッド11bを覆うパッド部ITO膜43（図5右部）と、各信号線パッドをそれぞれ覆うパッド部ITO膜とが形成される。

【0049】次いで、ITO膜41、42、42a、43をマスクとして、TFTのバックチャネル部45を形成するためのエッチングを行う。すなわち、ドレイン電極22とソース電極23とを分離してTFT7を完成するように、溝状に、三層金属膜5(Mo/Al/Mo)及びn+a-Si:H層を除去する。

【0050】この際、三層金属膜5(Mo/Al/Mo)は、上記第2のパターニングと同様、リン酸、酢酸及び硝酸からなる混酸を用いたウェットエッティングにより除去する。一方、 $n^+ a\text{-Si:H}$ 層61は、SF₆、及び酸素(O₂)からなる混合ガスを用いて除去する。

【0051】レジストの除去の後、加熱によるアニールを施し、ITO膜をアモルファス状態から微結晶状態に変換する。このアニールにより、同時に、TFT特性が安定化される。

【0052】以上に説明した実施例の製造方法によれば、4回のみのパターニングにより、表示装置用アレイ基板を製造することができる。特には、三層金属膜5及び三層非金属膜6を一括してパターニングする際に、得られるパターンの端面における凹部やオーバーハングの形成を充分に防止することができる。そのため、ソース電極23のパターンを覆うITO膜42aが該端面を覆う個所で段切れを起こすことなく、ソース電極23と画素電極42との電気的な接続が確実に行われる。

【0053】上記実施例においては、低抵抗の金属アルミニウム(Al)層を上下の金属モリブデン(Mo)層で挟み込む構成としたが、金属モリブデン(Mo)層に代えて他の高融点金属層を用いることもできる。この際、金属アルミニウム層の下方に配置する高融点金属層は、リンドープアモルファスシリコン($n^+ a\text{-Si:H}$ 層等の半導体層に対する良好なオーム接触が得られるものであれば良い。

【0054】また、画素電極等を構成する透明導電膜として、ITO膜に代えてIZO(Indium Zinc Oxide)等を用いてもほぼ同様である。

【0055】さらに、上記実施例においては、半導体の活性層及びオーム接続層がそれぞれアモルファスシリコン層及びリンドープアモルファスシリコン層であるとして説明したが、半導体の活性層が多結晶シリコン層であっても良く、オーム接続層は、他の不純物を含むアモルファスシリコン層や、リンその他の不純物を含む多結晶シリコン層であっても良い。

【0056】一方、上記実施例においては、得られるパターンの端面が導電膜により被覆される場合について説明したが、絶縁保護膜により被覆される場合についても全く同様である。

【0057】また、液晶表示装置用アレイ基板の場合を例にとり説明したが、他の用途に用いられる薄膜トランジスタの製造であっても同様の方法により行うことができる。さらには、本発明の製造方法を、薄膜トランジスタ以外の半導体装置についても適用することが可能である。

【0058】

【発明の効果】一つのマスクパターンを用いて、多層膜を一括してパターニングする工程を含む、薄膜トランジスタの製造方法において、段切れの形成、及びこれに起因する不良の発生を充分に防止することができる。

【図面の簡単な説明】

【図1】実施例に係る、アレイ基板上のTFT形成部及びその付近の構成を模式的に示す断面斜視図である。

【図2】実施例に係る、アレイ基板上のアレイ基板上の各画素の構成を模式的に示す平面図である。

【図3】第1のエッティングの後、すなわち、三層金属膜(Mo/Al/Mo)をエッティングした後の様子を示す模式的な縦断面図である。

【図4】第2のエッティングの後、すなわち、三層非金属膜($n^+ a\text{-Si:H}$ 層、 $a\text{-Si:H}$ 層及び窒化シリコン膜)をエッティングした後の様子を示す、図3に対応する模式的な縦断面図である。

【図5】アレイ基板の完成時の様子を示す、図3に対応する模式的な縦断面図である。

【図6】従来の技術により生ずる「段切れ」について説明するための、アレイ基板上の薄膜トランジスタについての縦断面図である。

【符号の説明】

10 アレイ基板

11 走査線

11a 走査線から延在されたゲート電極

11b 走査線外周部のパッド部

12 補助容量線

21 信号線

30 22 信号線から延在されたドレイン電極

23 ソース電極

15 第1ゲート絶縁膜

25 第2ゲート絶縁膜

26 TFTの半導体膜

27 低抵抗半導体膜

41 信号線と輪郭が略一致する保護ITO膜

42 画素電極

42a 画素電極から延在してソース電極のパターンを覆うITO膜

40 43 パッド用ITO膜

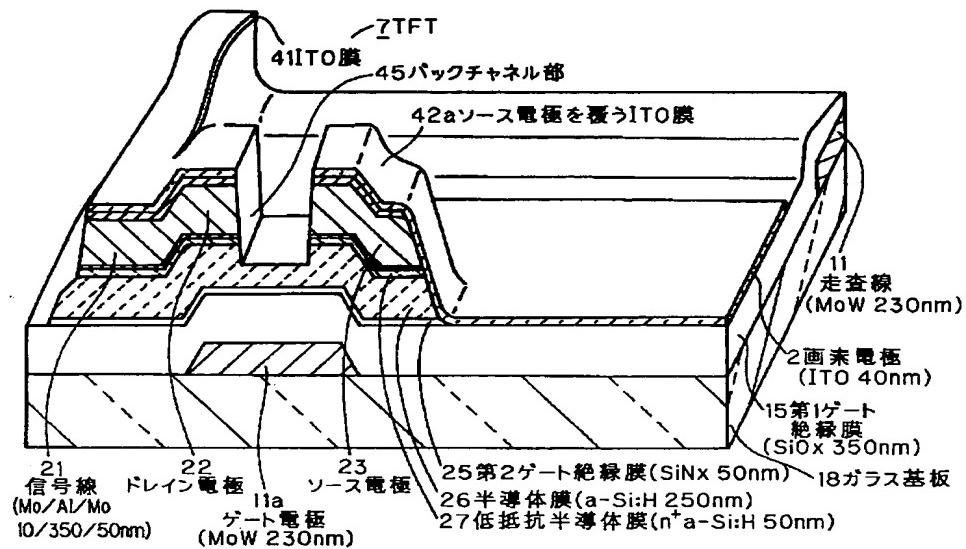
45 TFTのバックチャネル部

5 三層金属膜(Mo/Al/Mo)

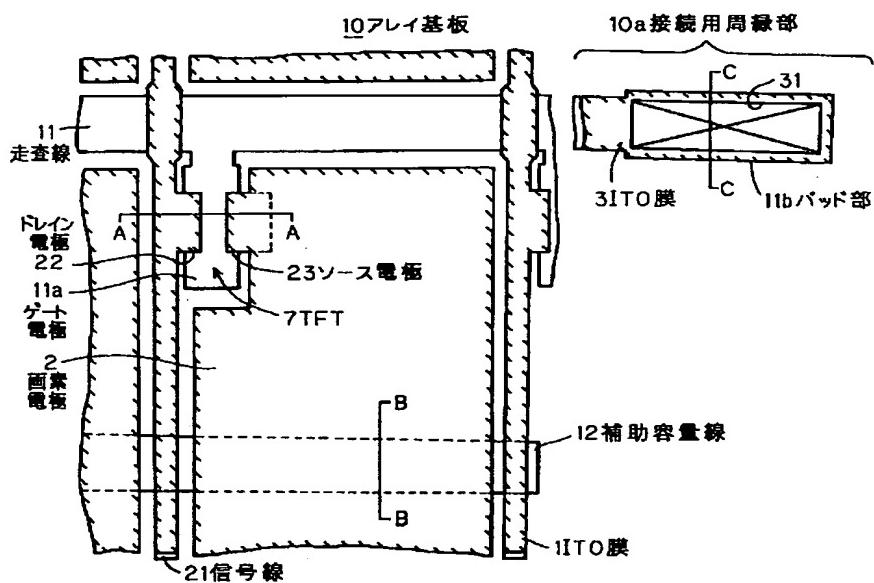
6 三層非金属膜($n^+ a\text{-Si:H}$ 層、 $a\text{-Si:H}$ 層及び窒化シリコン膜)

7 TFT

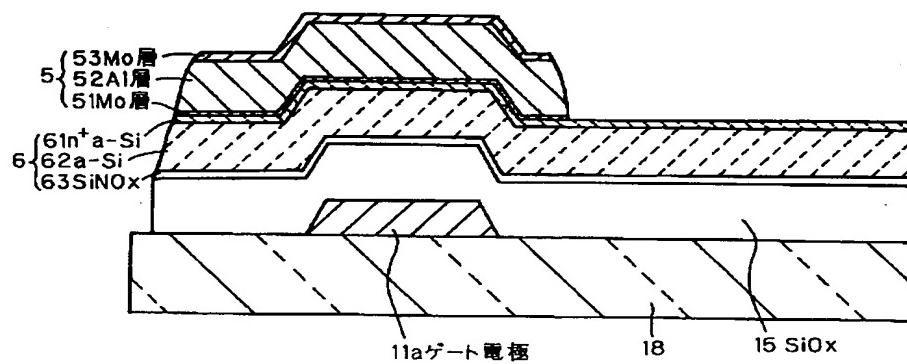
【図1】



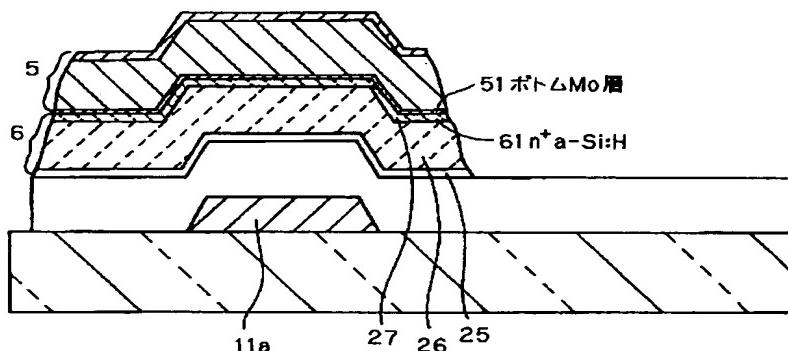
【図2】



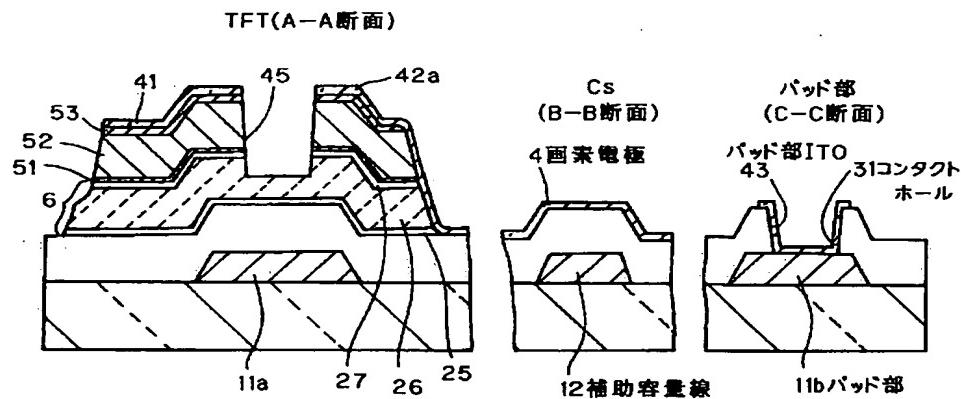
【図3】



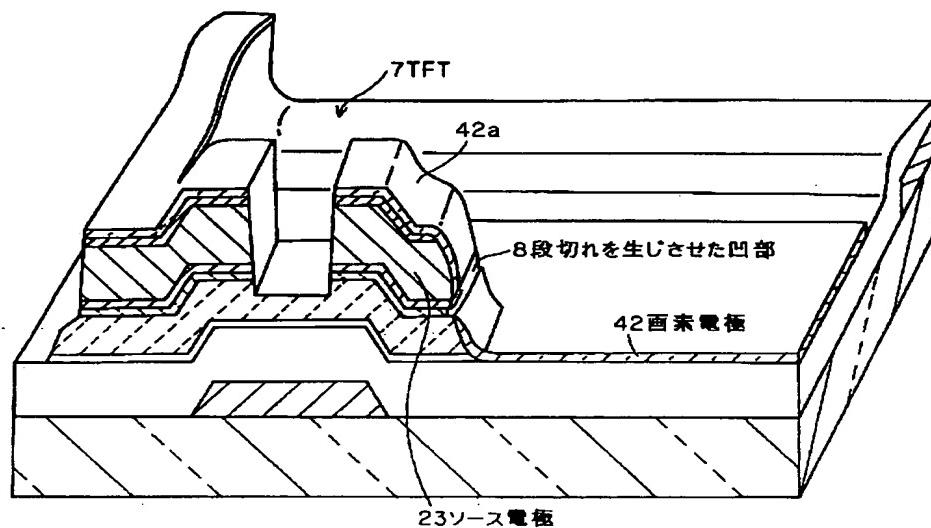
【図4】



【図5】



【図6】



フロントページの続き

F ターム(参考) 2H092 HA28 JA24 KA04 MA18 MA19
 NA16 NA29
 4M104 AA09 BB02 BB16 BB18 BB36
 CC01 DD09 DD37 GG09 GG14
 5F043 AA11 AA20 AA24 AA26 AA27
 AA35 BB16 DD13 DD15 DD25
 EE07 FF01 GG04 GG10
 5F110 BB01 CC07 DD02 EE06 EE44
 FF02 FF03 FF09 FF29 GG02
 GG13 GG14 GG15 GG24 GG44
 HK03 HK04 HK07 HK09 HK14
 HK16 HK22 HK25 HK33 HM18
 NN73 QQ05 QQ09